

#3
SMC
5/20/01
JC978 U.S. PTO
09/828182
04/09/01



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원 번호 : 특허출원 2000년 제 30445 호
Application Number

출원 년 월 일 : 2000년 06월 02일
Date of Application

출원인 : 한국정보통신대학원대학교
Applicant(s)



2000 년 07 월 07 일

특 허 청
COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2000.06.02
【발명의 명칭】	주파수 변환 회로
【발명의 영문명칭】	MIXER
【출원인】	
【명칭】	한국정보통신대학원대학교
【출원인코드】	2-1999-038195-0
【대리인】	
【성명】	장성구
【대리인코드】	9-1998-000514-8
【포괄위임등록번호】	2000-005740-6
【대리인】	
【성명】	이철희
【대리인코드】	9-1998-000480-5
【포괄위임등록번호】	2000-005742-1
【발명자】	
【성명의 국문표기】	이상국
【성명의 영문표기】	LEE, Sang-Gug
【주민등록번호】	580803-1923711
【우편번호】	305-761
【주소】	대전광역시 유성구 전민동 나래아파트 104동 1702호
【국적】	KR
【발명자】	
【성명의 국문표기】	최정기
【성명의 영문표기】	CHOI, Jung-Ki
【주민등록번호】	720321-1323911
【우편번호】	305-350
【주소】	대전광역시 유성구 가정동 전자통신기숙사 112
【국적】	KR

【발명자】**【성명의 국문표기】**

김남수

【성명의 영문표기】

KIM, Nam-Soo

【주민등록번호】

701218-1806314

【우편번호】

305-350

【주소】

대전광역시 유성구 가정동 전자통신기숙사 106

【국적】

KR

【신규성주장】**【공개형태】**

간행물 발표

【공개일자】

2000.04.13

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

장성구 (인) 대리인

이철희 (인)

【수수료】**【기본출원료】**

20 면 29,000 원

【가산출원료】

5 면 5,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

4 항 237,000 원

【합계】

271,000 원

【감면사유】

학교

【감면후 수수료】

135,500 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 주파수 변환 회로에 관한 것으로서, 본 발명의 회로에서는 종래의 구동 증폭용 트랜지스터 및 스위칭용 트랜지스터 외에 DC적으로는 블리딩용 전류원으로 사용되며, AC적으로는 구동 증폭용 트랜지스터의 일부로 사용되는 블리딩용 트랜지스터를 더 구비한다.

블리딩용 트랜지스터를 사용함으로써 본 발명의 주파수 변환 회로는 종래의 주파수 변환 회로에 비하여 보다 높은 변환 이득, 보다 낮은 잡음 지수, 보다 높은 선형 특성을 가지며, 출력단에서 국부 발진 신호를 상쇄할 수 있는 효과가 있다.

【대표도】

도 6

【명세서】**【발명의 명칭】**

주파수 변환 회로 {MIXER}

【도면의 간단한 설명】

도 1은 종래의 싱글 밸런스 주파수 변환 회로의 개략적인 회로도,

도 2는 종래의 더블 밸런스 주파수 변환 회로의 개략적인 회로도,

도 3은 종래의 블리딩 전류원을 이용하는 싱글 밸런스 주파수 변환 회로의 개략적인 회로도,

도 4는 종래의 블리딩 전류원을 이용하는 더블 밸런스 주파수 변환 회로의 개략적인 회로도,

도 5는 도 3 및 도 4의 주파수 변환 회로에서 발생하는 잡음을 제거하기 위한 L-C 탱크 회로를 채용한 상태를 도시한 회로도,

도 6은 본 발명에 따른 싱글 밸런스 주파수 변환 회로의 개략적인 회로도,

도 7은 도 6의 주파수 변환 회로에 바이패스 캐패시터를 연결한 싱글 밸런스 주파수 변환 회로의 다른 실시예를 도시한 회로도,

도 8은 본 발명에 따른 더블 밸런스 주파수 변환 회로의 개략적인 회로도,

도 9는 커플링 캐패시터와 바이패스 캐패시터를 연결한 본 발명에 따른 더블 밸런스 주파수 변환 회로의 개략적인 회로도,

도 10은 모사 실험에 사용된 종래 싱글 밸런스 주파수 변환 회로의 개략적인 회로도,

도 11은 모사 실험에 사용된 본 발명에 따른 싱글 밸런스 주파수 변환 회로의 개략적인 회로도.

<도면의 주요부분에 대한 부호의 설명>

M11~M26 : 전계효과 트랜지스터

10 : 스위칭 회로

R1~R12 : 저항

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <16> 본 발명은 주파수 변환 회로에 관한 것으로, 특히, 주파수 변환 회로에서 블리딩(bleeding) 전류원 및 구동 증폭용 트랜지스터 기능을 동시에 수행하는 블리딩용 트랜지스터를 구비하는 주파수 변환 회로에 관한 것이다.
- <17> 주파수 변환 회로는 임의 주파수 성분의 정보를 다른 주파수 대역으로 천이시키는 기능을 수행하는 회로로서, 각종 통신 장비, 예컨대, 통신용 송/수신 시스템에 널리 활용되고 있다.
- <18> 도 1에는 주파수 변환 회로의 하나인 싱글 밸런스(single-balanced) 주파수 변환 회로가 도시되어 있다.
- <19> 도시된 바와 같이 싱글 밸런스(single-balanced) 주파수 변환 회로는 구동 증폭용 트랜지스터(M1)와 두 개의 스위칭용 전계 효과 트랜지스터(M2),(M3)로 구성되어 있다. 구동 증폭용 트랜지스터(M1)의 제어 입력 전극인 게이트 전극에는 소정

주파수(ω_{RF})의 RF(Radio Frequency) 신호가 제공된다. 트랜지스터(M1)의 게이트 전극에 인가되는 RF 신호는 실질적인 신호원으로서 이 신호원을 다른 주파수 대역(예컨데, 중간 주파수 신호(IF(Intermediate Frequency) 신호라 한다.)로 천이시키는 것이 싱글 밸런스 주파수 회로의 목적이다. 트랜지스터(M1)의 드레인 전극에는 스위칭용 트랜지스터(M2),(M3)의 소스 전극이 병렬로 연결되어 있으며, 스위칭용 트랜지스터(M3)의 게이트 전극에는 국부 발진기(Local Oscillator)의 사인파(sinewave)(LO+)가 제공되고, 트랜지스터(M3)의 게이트 전극에는 국부 발진기의 사인파(LO-)가 제공되므로 스위칭 트랜지스터(M2),(M3)는 서로 역구동하도록 구성되어 있다.

<20> 여기서, 트랜지스터(M1)는 게이트에 인가되는 RF 신호의 전압(V_{RF})에 대응하는 전류를 제공하나, 트랜지스터(M2,M3)는 사인파(LO+, LO-)에 의하여 온/오프가 제어되므로, 출력단(IF+),(IF-)에는 사인파(LO+,LO-)의 주파수(ω_{LO})만큼 천이된 출력 신호가 제공된다. 출력 신호를 차동으로 선택함으로써 RF 신호(ω_{RF})를 제거할 수 있으나, 국부 발진 주파수(ω_{LO})는 남는다는 문제가 있다.

<21> 이러한 문제를 해결하는 방법으로서, 더블 밸런스(double-balanced) 주파수 변환 회로가 있다. 도 2에는 대표적인 더블 밸런스 주파수 변환 회로도를 나타내었다.

<22> 도시된 바와 같이 더블 밸런스 주파수 변환 회로에는 하나의 정전류원(I_{BIAS})을 구비하며, 정전류원(I_{BIAS})에는 하나의 차동 쌍(differential pair)을 구성하는 두 개의 구동 증폭용 전계 효과 트랜지스터(M11, M12)가 연결되어 있다. 전계 효과 트랜지스터(M11,M12)게이트에는 소정 주파수(ω_{RF})의 RF 신호(RF+, RF-)가 제공되며, 전계 효과 트랜지스터(M11, M12)에는 스위칭 회로(10)가 연결되어 있다.

- <23> 스위칭 회로(10)는 도시된 바와 같이 스위칭용의 전계 효과 트랜지스터(M13, M14) 및 (M15, M16)이 쌍을 이루고 있으며, 전계 효과 트랜지스터(M13, M16)의 게이트에는 국부 발진기(Local Oscillator)의 사인파(LO+)가 제공되고, 전계 효과 트랜지스터(M14, M15)에는 국부 발진기의 사인파(LO-)가 각각 제공된다. 여기서, 전계 효과 트랜지스터(M13, M14)의 소오스 전극은 전계 효과 트랜지스터(M11)의 드레인 전극에 연결되어 있으며, 전계 효과 트랜지스터(M15, M16)의 소오스 전극은 전계 효과 트랜지스터(M13)의 드레인 전극에 연결되어 있고, 전계 효과 트랜지스터(M13, M16)의 드레인 전극은 저항(R11, R12)을 통하여 전원(VDD)에 연결되어 있으며, 전계 효과 트랜지스터(M14, M15)의 드레인 전극은 상대측 전계 효과 트랜지스터(M16, M13)의 드레인 전극에 접속되어 있다.
- <24> 상술한 구성을 갖는 더블 밸런스 주파수 변환 회로는 도 1의 싱글 밸런스 회로에서와 마찬가지로의 동작 원리에 의하여 구동하나, 출력단(IF+, IF-)에 각각 제공되는 전류의 위상이 180도 차이 나므로 이들을 서로 가산함으로써 출력단(IF+, IF-)에서의 국부 발진 주파수(ω_{LO})와 RF 신호(ω_{RF})를 상쇄하여 제거한다.
- <25> 한편, 통상의 주파수 변환 회로의 선형 특성은 구동 증폭용 트랜지스터의 선형 특성에 주도적으로 좌우되며, 구동 증폭용 트랜지스터에 전류가 많이 흐를수록 구동 증폭용 트랜지스터의 선형 특성이 개선된다.
- <26> 그런데, 도 1 및 도 2의 주파수 변환 회로에서 선형 특성 개선을 위해 구동 증폭용 트랜지스터의 전류를 증가시키면, 주어진 공급 전압(VDD)에 대해서 출력단(IF+, IF-)에서의 전압 스윙 마진(swing margin)이 감소함으로써 이를 유지시키려면 부하 저항(R1 및 R2) 또는 (R11 및 R12)의 값을 줄여야 한다. 그러나, 이와 같이 부하 저항(R1 및 R2) 또는 (R11 및 R12)의 저항값을 줄이면 소모 전력의 증가에도 불구하고 주파수 변환 회로

의 변환 이득에는 크게 도움이 되지 않는다는 단점이 있다. 즉, 주파수 변환 회로에서의 변환 전압 이득은 구동 증폭용 트랜지스터의 트랜스컨덕턴스값과 부하 저항의 곱에 비례하는 특성을 갖고 있으므로 부하 저항 값을 줄이면 예를 들면 구동 증폭용 트랜지스터의 크기를 일정하게 두고 게이트의 전압을 증가시키는 방법으로 전류를 증가시킬 경우 주파수 변환 회로에서의 변환 전압 이득은 오히려 감소할 수 있다.

<27> 따라서, 도 1 및 도 2의 주파수 변환 회로에서는 선형 특성을 개선하기 위하여 전류를 증가시키면 선형 특성을 개선할 수 있으나, 전압 또는 전력 이득에는 변화가 없거나, 오히려 감소할 수 있다는 문제가 있었다.

<28> 이러한 문제를 해결하기 위하여, 블리딩 전류원(I_{BLD})을 이용한 주파수 변환 회로가 제안되었다.

<29> 도 3 및 도 4는 상술한 도 1 및 도 2의 싱글 및 더블 밸런스 주파수 변환 회로 구조에 블리딩 전류원(I_{BLD})을 각각 추가한 회로로서, L. A. MacEachern와 T. Manku에 의해 IEEE Canadian Conference on Electrical and Computer Engineering(pp. 365-368, 1998)에 'A Charge-Injection Method for Gilbert Cell Biasing'이라는 명칭으로 개시되어 있다. 개시된 회로는 스위칭용 트랜지스터(M2), (M3)외에 블리딩 전류원(I_{BLD})을 통하여 구동 증폭용 트랜지스터(M1)에 흐르는 전류를 제공함으로써 스위칭 트랜지스터(M2), (M3)에 흐르는 전류의량을 감소시킬 수 있게 한 회로이다. 따라서, 스위칭용 트랜지스터(M1, M2)에는 보다 큰 부하 저항을 부착할 수 있고, 따라서, 보다 높은 변환 이득을 얻을 수 있다는 장점이 있다. 또한, 블리딩 전류원(I_{BLD})을 사용하는 경우, 보다 작은 크기의 스위칭 트랜지스터를 사용하거나, 또는, 같은 크기일 경우, 보다 낮은 게이트-소오스 전압에서 동작시킬 수 있기 때문에, 인가되는 국부 발진 신호($LO+$, $LO-$)

크기에 대하여 스위칭이 보다 원활하게 이루어질 수 있다는 장점이 있다. 상술한 설명에서는 도 3에 대하여만 설명하였으나, 도 4의 경우도 마찬가지로 본 발명의 기술 분야에서 통상의 지식을 가진 자는 용이하게 알 수 있으므로 본 명세서에서는 구체적인 설명을 생략하였다.

<30> 따라서, 블리딩 전류원(I_{BLD})을 이용하는 도 3 및 도 4의 주파수 변환 회로에서는 변환 이득의 개선과 더불어 보다 이상적인 스위칭으로 인하여 스위칭 트랜지스터들이 기여하는 잡음 성분이 줄어드는 효과를 제공할 뿐 아니라 보다 이상적인 스위칭은 스위칭 트랜지스터들로 인한 선형 특성 감소를 완화해주는 효과도 있다.

<31> 그런데, 이러한 장점에도 불구하고, 도 3 및 도 4의 주파수 변환 회로는 다음과 같은 문제가 있다. 즉, 도 3 및 도 4의 주파수 변환 회로의 주요 구성 요소인 블리딩 전류원(I_{BLD})은 저항값이 작은 저항 또는 능동 소자를 이용하여 구성하는 경우에는 전체 주파수 변환 회로의 잡음 지수가 3dB 이상 높아질 수 있다는 문제가 있다.

<32> 블리딩 전류원(I_{BLD}) 발생되는 잡음 문제를 해결하기 위한 방안을 L. A.

Maceachern 및 T. Manku가 'A Charge-Injection Method for Gilbert Cell Biasing', 이라는 명칭으로 IEEE Canadian Conference on Electrical and Computer Engineering(pp. 365-368, 1998)에 개시하였다. 제안한 회로는 L-C 탱크 회로를 이용하는 회로로서 도 5에 도시된 바와 같이 블리딩 전류원(I_{BLD})에서 발생하는 잡음 신호를 인덕터($L1$, $L2$) 및 캐패시터($C1$, $C2$)로 구성되는 필터로 제거하는 방법이다. 그러나, 이 방법은 K. Fong 및 Meyer 이 'Monolithic RF Active Mixer Design' 이라는 명칭으로 IEEE Trans.Circuits and System II: Analog and Digital Signal Processing(vol 46, no. 3, pp 231-239)에 개시한 바와 같이 L-C 탱크 회로는 IF 단에 기여하고 다양한 주파수 대역의 잡음 신호중에

서 일부만을 제거할 수 있을 뿐 제거되지 않는 주파수의 잡음에 의하여 주파수 변환 회로의 성능 열화 현상을 해결하지 못한다. 또한, L-C 탱크 회로가 집적 회로로 구현하기 위해서는 실리콘 칩의 면적이 필요 이상 넓어진다는 문제가 있고 탱크 회로의 공진 주파수를 주파수(ω_{RF})에 정확하게 맞추는 것도 실질적인 측면에서 쉽지 않다는 문제점을 갖고 있다.

【발명이 이루고자 하는 기술적 과제】

<33> 본 발명은 상술한 문제들을 해결하기 위한 것으로서, 본 발명의 목적은 변환 이득 잡음 특성 및 선형 특성 모두를 개선한 주파수 변환기를 제공하는데 있다.

<34> 이러한 목적을 달성하기 위하여 본 발명은, 구동 증폭용 트랜지스터 및 스위칭용 트랜지스터를 구비하여 소정 RF 신호의 주파수 대역을 천이시키는 주파수 변환 회로에 있어서, 블리딩 전류원으로 구동하는 블리딩용 트랜지스터를 더 구비하며, 블리딩용 트랜지스터는 RF 신호를 제어 입력 전극으로 입력하는 구동 증폭용 트랜지스터와 교류적으로 병렬 연결되어 있다.

【발명의 구성 및 작용】

<35> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명한다.

<36> 도 6은 본 발명의 바람직한 실시예에 따른 싱글 밸런스 주파수 변환 회로로서, 도 1에 도시된 싱글 밸런스 주파수 변환 회로에 블리딩용 트랜지스터(M2)를 더 구비한다. 블리딩용 트랜지스터(M2)는 도시된 바와 같이 구동 증폭용 트랜지스터(M1)의 드레인 전극 및 스위칭용 트랜지스터(M2, M3)의 소오스 전극에 드레인 전극이 연결되며, 소오스가 전원(VDD)에 연결되고, 게이트 전극은 RF 신호를 입력하도록 구성되어 있다.

<37> 상술한 구성을 갖는 도 6의 회로에서 블리딩용 트랜지스터(M2)는 DC적으로는 블리딩 전류원으로 작용하고, AC적으로는 구동 증폭용 트랜지스터(M1)의 일부로 작용하도록 구성되었다. 즉, RF 신호는 트랜지스터(M1,M2)가 증폭기로서 작동할 수 있는 DC 전압위에 사인파 형태로 가해지고 이 DC 전압에 의하여 블리딩용 트랜지스터(M2)는 블리딩 전류원으로 구동하는 것이다.

<38> 다음으로, RF 신호의 AC 측면에서 보면, 트랜지스터(M2)는 트랜지스터(M1)와 병렬 연결되는 구성을 가지며, 트랜지스터(M1)와 상보적으로 작동하여 트랜지스터(M3,M4)에 흐르는 전류량을 제어함으로써 싱글 밸런스 주파수 변환 회로의 성능을 개선할 수 있다. 이를 이하에서 구체적으로 보면 다음과 같다.

<39> 먼저, 도 1에 도시된 종래의 싱글 밸런스 회로에서 스위칭이 이상적으로 일어난다고 가정하였을 때 출력에 나타나는 전류신호를 입력 신호의 함수로 나타내면 수학식 1과 같다.

<40> 【수학식 1】

$$i_{OUT,conv} = i_{OUT,conv}^+ - i_{OUT,conv}^-$$

$$= \frac{4I_{D1}}{\pi} \cos \omega_{LO} t + \frac{2g_{m1}v_{RF}}{\pi} \cos(\omega_{LO} \pm \omega_{RF})t + \text{higher order terms}$$

<41> 여기서, $i_{OUT,conv}$ 는 차동 출력 전류를 나타내고, I_{D1} 은 트랜지스터(M1)의 DC 전류, g_{m1} 은 구동 증폭용 트랜지스터(M1)의 트랜스컨덕턴스, v_{RF} 는 구동 증폭용 트랜지스터(M1)를 통해 인가된 RF 전압 신호의 크기를, ω_{RF} 및 ω_{LO} 는 RF 신호의 주파수 및 국부 발진 신호의 주파수를 나타낸다.

<42> 이에 대해서 도 6에 개시된 본 발명의 회로에서는 수학식 2와 같은 함수로 나타낸

다.

<43> 【수학식 2】

$$\begin{aligned}
 i_{OUT,blt} &= i_{OUT,blt}^+ - i_{OUT,blt}^- \\
 &= \frac{4(I_{D1} - I_{D2}) + (\beta_{n1} - \beta_{p2})v_{RF}^2}{\pi} \cos \omega_{LO} t \\
 &\quad + \frac{2(g_{mn1} + g_{mp2})v_{RF}}{\pi} \cos(\omega_{LO} \pm \omega_{RF})t + \text{higher order terms}
 \end{aligned}$$

<44> 여기서, $i_{OUT,blt}$ 는 차동 출력 전류를 나타내고, g_{mn1} 및 g_{mp2} 는 구동 증폭용 트랜지스터(M1) 및 블리딩용 트랜지스터(M2)의 트랜스컨덕턴스, β_{n1} 및 β_{p2} 는 $KP \cdot W/L$ 로서 KP 는 트랜스컨덕턴스 파라미터, W 는 채널 넓이, L 은 채널 길이를 나타낸다. 그리고, v_{RF} 는 구동 증폭용 트랜지스터(M1)의 게이트 전극에 인가된 RF 전압 신호의 크기를, ω_{RF} 와 ω_{LO} 는 RF 및 국부 발진 신호의 주파수를, 그리고, I_{D1} 과 I_{D2} 는 구동 증폭용 트랜지스터(M1)와 블리딩용 트랜지스터(M2)에 흐르는 드레인 전류를 각각 나타낸다.

<45> 수학식 1, 2를 유도하는 과정에서 트랜지스터(M1,M2)들의 채널 길이가 충분히 커서 전류식은 게이트-소오스 전압의 2 차 방정식으로 표현할 수 있는 것으로 가정하였고, 스위칭용 트랜지스터(M3,M4)는 이상적인 구형파 동작을 하는 것으로 가정하였다. 채널 길이가 짧아서 전류식이 2 차 방정식이 아닌 경우에도 결과적으로 수학식 1, 2의 내용은 별도 달라지지 않음은 본 발명의 기술 분야에서 통상의 지식을 가진 자는 용이하게 알 것이다.

<46> 수학식 1과 2를 비교하여 보면, 도 6의 회로에서는 블리딩 전류원 및 구동 증폭용으로 사용된 트랜지스터(M2)의 트랜스컨덕턴스(g_{mp2})×RF 전압 신호의 크기(v_{RF})만큼 변환 이득이 증가하는 것을 알 수 있다. 또한, Karanicolas가 IEEE J. Solid-State

Circuits(vol. 31, no. 12, pp. 1939-1944, Dec. 1996A)에 개시한 '2.7-V 99-MHz CMOS LNA and Mixer'라는 명칭의 논문에서 개시한 바와 같이 증폭기의 트랜스컨덕턴스가 증가하면 잡음 지수가 감소하게 되는 바, 도 6의 회로는 도 1의 회로보다 낮은 잡음 지수를 갖게 된다. 즉, 도 1의 일반적인 주파수 변환 회로를 도 3의 블리딩 전류원(I_{BLD})을 채택한 회로와 비교하면 상술한 바와 같이, 도 3의 회로는 상대적으로 높은 잡음 지수를 갖게 되는 단점이 있으나, 본 발명에 따른 도 6의 회로는 도 1의 회로와 비교하여서도 더 낮은 잡음 지수를 얻을 수 있는 회로가 된다.

<47> 한편, 수학식 1에서 알 수 있는 바와 같이 도 1의 싱글 밸런스 주파수 변환 회로의 특성상, IF 출력단에서 국부 발진 신호에 대한 상쇄가 이루어지지 않는데, 수학식 2에 표현된 바와 같이, 본 발명에 따른 도 6의 주파수 변환 회로는 싱글 밸런스 주파수 변환 회로임에도 불구하고 더블 밸런스 주파수 변환 회로에서와 같이 국부 발진 신호가 상쇄됨을 알 수 있다.

<48> 즉, 수학식 2에서 다음의 수학식 3의 조건이 만족되면 국부 발진 신호는 완전히 상쇄될 수 있다.

<49> 【수학식 3】

$$4(I_{D1} - I_{D2}) + (\beta_{n1} - \beta_{n2})v_{RF}^2 = 0$$

<50> 수학식 3에 표현된 바와 같이, RF 신호(v_{RF})가 약하게 인가되고, 구동 증폭용 트랜지스터(M1)의 드레인 전류와 블리딩용 트랜지스터(M2)의 드레인 전류가 동일하면, 즉,

$I_{D1}=I_{D2}$ 를 만족하면 국부 발진 신호를 거의 상쇄시킬 수 있다. $I_{D1}=I_{D2}$ 인 경우, 도 6의 회로는 사실상 수동형 주파수 변환 회로로 동작하며, 도 6의 회로를 능동 주파수 변환 회로로 제한하면, $I_{D1}>I_{D2}$ 인 조건을 만족하여야 하고 이 경우에는 국부 발진 신호의 일부분이 IF 출력에서 상쇄되는 효과를 얻게 될 것이다. 하지만, 완전한 상쇄는 아니라 하더라도, 싱글 밸런스 주파수 변환 회로에서 IF 출력단에 발생하는 큰 국부 발진 신호가 스위칭 트랜지스터들(M3), (M4)을 선형 영역으로 밀어 넣음으로써 이들 트랜지스터들(M3), (M4)의 동작 속도를 떨어뜨리거나 주파수 변환 회로의 선형 특성을 열화시키는 결과를 초래할 수 있기 때문에, 싱글 밸런스 주파수 변환 회로의 출력에서 국부 발진 신호의 크기를 줄일 수 있다는 것은 본 발명의 회로의 명백한 장점으로 보아야 할 것이다.

<51> 한편, 상술한 바와 같이 더블 밸런스 주파수 변환 회로에서는 이상적인 경우 국부 발진 신호가 출력단에서 상쇄되게 되어 있으나 실제 더블 밸런스 주파수 변환 회로의 비이상적 동작에 의하여 국부 발진 신호의 상당 부분이 출력에 나타나는 경우가 발생한다. 그러나, 상술하는 바와 같이 더블 밸런스 주파수 변환 회로에 블리딩용 트랜지스터를 구현하면 출력단에 나타나는 국부 발진 신호를 감소시킬 수 있을 것이다.

<52> 도 3과 관련하여 이미 소개된 바와 같이 도 6의 회로는 블리딩으로 인한 선형 특성 개선의 효과를 포함하고 있을 뿐만 아니라, 추가의 선형 특성 개선의 기능을 갖고 있다.

<53> K. Fong 와 R. G. Meyer의 'Monolithic RF Active Mixer Design'의 논문에서 개시된 바와 같이 통상의 주파수 변환 회로의 선형 특성은 구동 증폭용 트랜지스터의 선형 특성에 주도적으로 좌우되며, 일반적으로 구동 증폭용 트랜지스터에 전류가 많이 흐를수록

선형 특성이 개선된다. 도 1과 도 6의 두 회로에서 구동 증폭용 트랜지스터(M1)에 흐르는 전류(I_{D1})가 동일하다고 가정하면, 도 6의 주파수 변환 회로에서는 구동 증폭용 트랜지스터(M1과 M2)들은 병렬로 연결되어 있으므로 실질적인 전체 구동 증폭단의 DC 전류값은 $I_{D1} + I_{D2}$ 로서 도 1의 I_{D1} 보다 높은 값을 갖게 되어 선형 특성이 보다 개선될 수 있음을 예측할 수 있다.

<54> 싱글 밸런스 주파수 변환 회로에서 P1dB(1dB compression point)를 개선하는 방안으로서, 구동 증폭단을 클래스 AB 동작을 하도록 하는 방법이 K. Fong, C. D. Hull, 및 R. G. Meyer에 의하여 'A Class AB Monolithic Mixer for 900-MHz Applications' 라는 명칭으로 IEEE J. Solid-State Circuits, vol. 32, no. 8, pp. 1166-1172, Aug. 1997.]에 개시되었으며, 구동 증폭용 트랜지스터(M1)가 클래스 AB 동작을 할 경우, 구동 증폭단의 DC 전류값이 RF 신호의 크기가 증가함에 따라 같이 증가하는 현상이 나타난다. 그런데, 본 발명에서 제안한 도 6의 회로의 경우, 클래스 AB 동작에 의해 구동 증폭용 트랜지스터(M1)의 DC 전류가 증가하게 될 경우, 블리딩용 트랜지스터(M2) 역시 클래스 AB 동작을 함으로써 DC 전류가 증가하게 되어 블리딩 전류가 입력 신호에 따라서 증가한다. 따라서, 도 3이나 도 4에서 제시한 종래의 블리딩 전류원을 이용한 주파수 변환 회로와는 달리, 클래스 AB 동작에서도 블리딩 비율을 거의 일정하게 유지할 수 있음을 알 수 있다.

<55> 도 7에는 본 발명의 싱글 밸런스 주파수 변환 회로의 다른 실시예가 도시되어 있다. 도 7의 회로에는 구동 증폭용 트랜지스터(M1) 및 블리딩용 트랜지스터(M2)의 게이트 사이에 DC 차단용 캐패시터(C_{bypass})가 연결되어 있으며, 블리딩용 트랜지스터(M2)의 게이트에는 소정의 DC 전류 전압이 가해져 있다. 이러한 구성에서 트랜지스터(M2)의 게이

트 전압은 트랜지스터(M1)와 무관하게 가해 줄수 있게 한다.

<56> 도 8은 종래의 더블 밸런스 주파수 변환 회로에 본 발명의 블리딩용 트랜지스터를 구성한 회로도로서, 도 6의 싱글 밸런스 주파수 변환 회로와 구동 원리는 동일함으로 본 명세서에서는 구체적인 설명을 생략하였다.

<57> 도 9는 종래의 Karanicolas가 'A 2.7-V 900-MHz CMOS LNA and Mixer'라는 명칭으로 IEEE J. Solid-State Circuits(vol. 31, no. 12, pp. 1939-1944, Dec. 1996)에 개시한 회로에 본 발명의 블리딩용 트랜지스터(M22, M23)를 추가한 회로이다. 도시된 바와 같이 블리딩용 트랜지스터(M22, M23)를 추가함으로써 상술한 바와 같은 장점들을 얻을 수 있을 뿐만 아니라, 트랜지스터(M21, M22), (M23, M24)들이 쌍으로 구현됨으로써 원래 Karanicolas의 회로보다 대칭성이 우수해지는 장점이 있고, 또한 트랜지스(M21과 M22) 및 (M23과 M24)쌍들의 특성이 보다 대칭적이 됨으로써 Park 및 R, Schaumann이 'A High Frequency CMOS linear transconductance element'라는 명칭으로 IEEE Trans. Circuit Syst.(vol. CAS-33, pp. 1132-1138, Nov. 1986.)에 개시한 바와 같이 전체 구동 증폭 회로의 선형 특성이 추가로 개선될 수 있을 것으로 기대되어 진다.

<58> 한편, 도 10 및 도 11은 일반적인 싱글 밸런스 주파수 변환 회로와 본 발명에 따른 싱글 밸런스 주파수 변환 회로를 비교하기 위한 모사 실험 회로도로서, 0.35 마이크로 CMOS 모델 파라미터를 이용하여 SPICE로 모사 실험하였다. 이러한 비교 실험 결과를 표 1에 나타내었다.

<59>

【표 1】

	종래의 주파수 변환 회로	본 발명의 주파수 변환 회로
모사 실험 조건	$f_{RF} = 900\text{MHz}$, $f_{LO} = 1\text{GHz}$, LO 입력치 = 0dBm	
변환 이득[dB]	0	4
잡음 지수[dB]	12.1	11.2
LO 출력[dBm]	-3.6	-6.9
선형 특성[dBm]	-4	-1.6

<60> 표 1에 나타난 바와 같이, 본 발명에서 제시하는 주파수 변환 회로는 변환 이득, 잡음 지수, LO 출력 및 선형 특성에서 기존의 싱글 밸런스 주파수 변환 회로보다 우수함을 알 수 있다.

<61> 이상과 같이, 본 발명의 바람직한 실시예들을 설명하였으나, 이러한 실시예들을 반드시 한정하여 설명한 것은 아니며, NMOS와 PMOS를 바꾼 회로에서도 적용이 가능할 것임을 당업자라면 용이하게 알 수 있을 것이다.

<62> 또한, 본 발명은 상향 주파수 변환 회로에도 적용될 수 있는데, 특히, 상향 주파수 변환 회로에서는 입력 신호의 주파수가 상대적으로 낮으므로 PMOS의 성능이 NMOS 트랜지스터와 유사하게 되어 상술한 특성들이 보다 뚜렷하게 표현될 것으로 기대된다.

<63> 또한, 본 발명은 CMOS 소자들의 조합으로 이루어진 주파수 변환 회로에 국한하였으나, 상보형 바이폴라 회로에서도 적용이 가능하며, 이러한 사실은 본 발명의 기술 분야에서 통상의 지식을 가진 자는 용이하게 알 수 있을 것이다.

<64> 그리고 기타 어떤 형태의 상보형(화합물 반도체 소자 포함) 트랜지스터 공정에서도 적용이 가능하다.

【발명의 효과】

<65> 따라서, 본 발명의 주파수 변환 회로를 종래의 주파수 변환 회로와 비교하여 보면, 동일한 공급 전압 및 전류 값에 대하여, 보다 높은 변환 이득, 보다 낮은 잡음 지수 및 보다 높은 선형 특성을 제공하며, 출력단에서 국부 발진 신호를 상쇄할 수 있다는 효과가 있다.

【특허청구범위】**【청구항 1】**

구동 증폭용 트랜지스터 및 스위칭용 트랜지스터를 구비하여 소정 RF 신호의 주파수 대역을 천이시키는 주파수 변환 회로에 있어서,

블리딩 전류원으로 구동하는 블리딩용 트랜지스터를 더 구비하며, 상기 블리딩용 트랜지스터는 RF 신호를 제어 입력 전극으로 입력하는 상기 구동 증폭용 트랜지스터와 교류적으로 병렬 연결되어 있는 주파수 변환 회로.

【청구항 2】

제 1 항에 있어서,

상기 블리딩용 트랜지스터는 상기 구동 증폭용 트랜지스터와 상보형인 트랜지스터로 구성함을 특징으로 하는 주파수 변환 회로.

【청구항 3】

제 1 항 또는 제 2 항에 있어서,

상기 RF 신호는 상기 블리딩용 트랜지스터의 제어 입력 단자로 입력됨을 특징으로 하는 주파수 변환 회로.

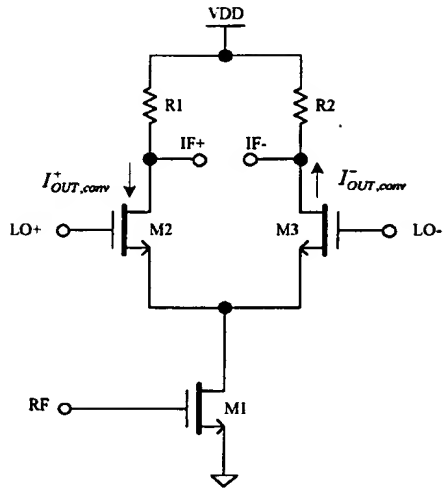
【청구항 4】

제 1 항 또는 제 2 항에 있어서,

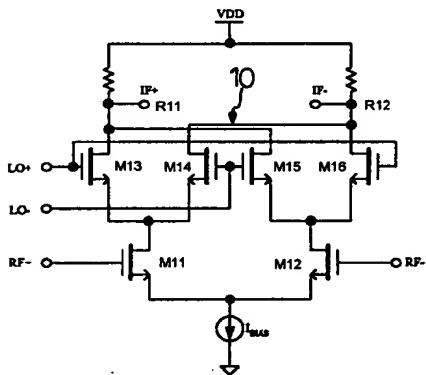
바이패스용 캐패시터를 더 구비하며, 상기 바이패스용 캐패시터는 상기 AC 성분의 RF 신호만을 상기 블리딩용 트랜지스터의 제어 입력 전극에 제공하고, 블리딩용 트랜지스터의 제어 입력 전극에는 별도의 DC 전원이 제공되는 주파수 변환 회로.

【도면】

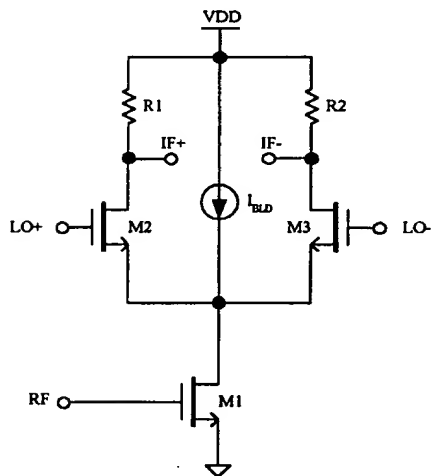
【도 1】



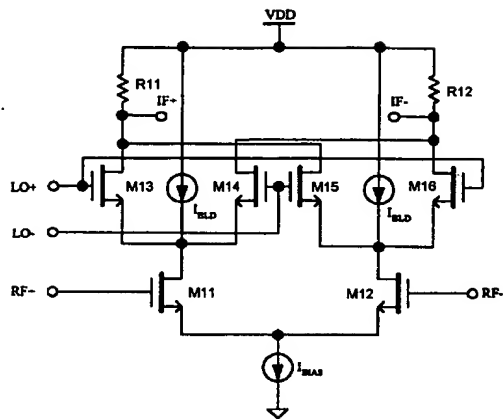
【도 2】



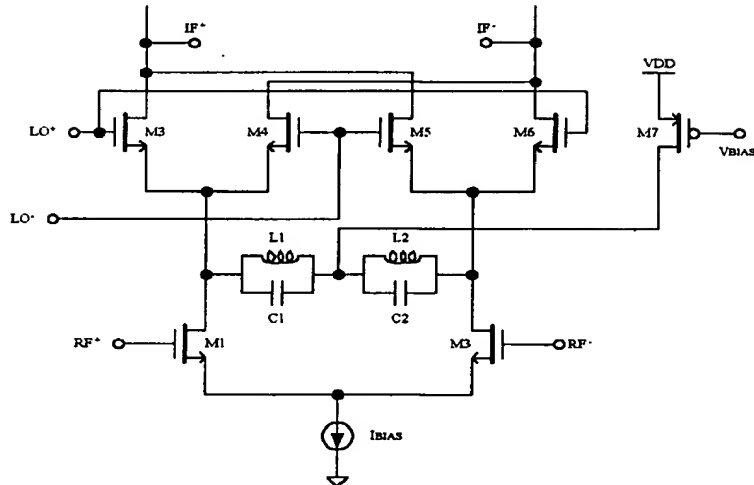
【도 3】



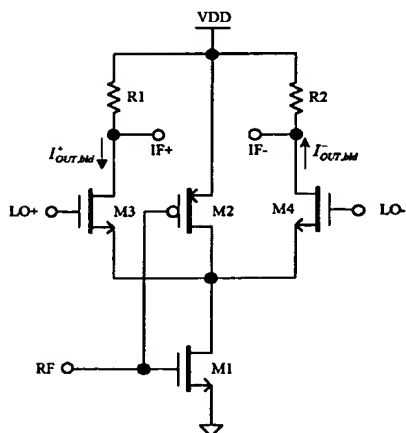
【도 4】



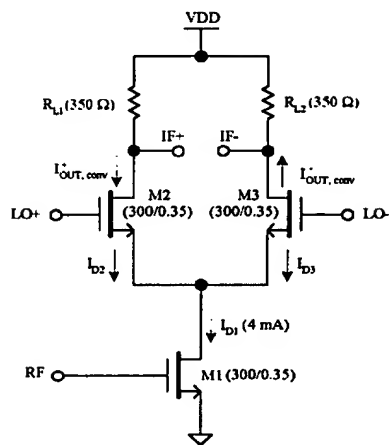
【도 5】



【도 6】



【도 10】



【도 11】

